

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日                      2 0 0 3 年    3 月 1 3 日  
Date of Application:

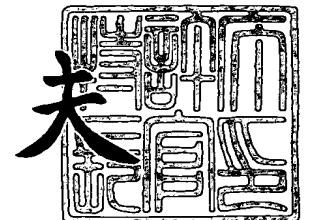
出 願 番 号                      特 願 2 0 0 3 - 0 6 7 6 2 1  
Application Number:  
[ST. 10/C]:                      [ J P 2 0 0 3 - 0 6 7 6 2 1 ]

出 願 人                      株式会社東芝  
Applicant(s):

2 0 0 4 年    1 月 2 7 日

特許庁長官  
Commissioner,  
Japan Patent Office

今 井 康 夫



【書類名】 特許願

【整理番号】 APB0310081

【提出日】 平成15年 3月13日

【あて先】 特許庁長官 殿

【国際特許分類】 H01L 27/08  
H01L 21/31  
H01L 29/78

【発明の名称】 半導体装置の製造方法

【請求項の数】 10

【発明者】

【住所又は居所】 神奈川県横浜市磯子区新杉田町 8 番地 株式会社東芝  
横浜事業所内

【氏名】 犬宮 誠治

【発明者】

【住所又は居所】 神奈川県横浜市磯子区新杉田町 8 番地 株式会社東芝  
横浜事業所内

【氏名】 江口 和弘

【特許出願人】

【識別番号】 000003078

【氏名又は名称】 株式会社 東芝

【代理人】

【識別番号】 100097629

【弁理士】

【氏名又は名称】 竹村 壽

【電話番号】 03-3843-4628

【手数料の表示】

【予納台帳番号】 004961

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置の製造方法

【特許請求の範囲】

【請求項 1】 半導体基板上にメタル元素及びシリコン元素を含む膜を形成する工程と、

前記半導体基板を酸化剤を含む雰囲気に曝すことにより、前記半導体基板と前記メタル元素及びシリコン元素を含む膜の界面にシリコン酸化膜を形成する工程と、

前記シリコン酸化膜を形成してから、前記メタル元素及びシリコン元素を含む膜を窒化する工程とを具備したことを特徴とする半導体装置の製造方法。

【請求項 2】 前記メタル元素は、Zr、Hf、Al、Laのうちの少なくとも 1 種を用いることを特徴とする請求項 1 に記載の半導体装置の製造方法。

【請求項 3】 前記メタル元素及びシリコン元素を含む膜は、CVD法により形成されることを特徴とする請求項 1 又は請求項 2 に記載の半導体装置の製造方法。

【請求項 4】 前記メタル元素及びシリコン元素を含む膜は、酸素又は窒素もしくは酸素及び窒素を含むことを特徴とする請求項 1 乃至請求項 3 のいずれかに記載の半導体装置の製造方法。

【請求項 5】 前記メタル元素及びシリコン元素を含む膜は、アルコキシドを用いるかもしくはテトラキシ・ジエチル・アミド・ハフニウム及びテトラキシ・ジメチル・アミド・シリコンを用いて形成されることを特徴とする請求項 1 乃至請求項 4 のいずれかに記載の半導体装置の製造方法。

【請求項 6】 前記アルコキシドは、TEOS及びハフニウム・テトラ・ターシャリー・ブトキサイドのいずれかであることを特徴とする請求項 5 に記載の半導体装置の製造方法。

【請求項 7】 前記酸化剤を含む雰囲気は、酸化剤分圧 0.1 Torr 以下であることを特徴とする請求項 1 乃至請求項 6 のいずれかに記載の半導体装置の製造方法。

【請求項 8】 前記酸化剤を含む雰囲気に曝す工程は、活性な酸化種を含む

雰囲気、低温プラズマ酸化雰囲気、減圧 $O_2$ 酸化雰囲気、減圧 $H_2$ 酸化雰囲気、減圧 $N_2$ 酸化雰囲気のいずれかであることを特徴とする請求項1乃至請求項7のいずれかに記載の半導体装置の製造方法。

【請求項9】 前記メタル元素及びシリコン元素を含む膜を窒化する工程は、窒素ラジカル又は窒素プラズマを用いるか、もしくは $NH_3$ 窒化法を用いて窒化することを特徴とする請求項1乃至請求項8のいずれかに記載の半導体装置の製造方法。

【請求項10】 半導体基板上にメタル元素及びシリコン元素を含む膜を形成する工程と、

前記半導体基板を酸化剤を含む雰囲気に曝すことにより、前記半導体基板と前記メタル元素及びシリコン元素を含む膜の界面にシリコン酸化膜を形成する工程と、

前記メタル元素及びシリコン元素を含む膜を窒化して、前記シリコン酸化膜及び前記窒化されたメタル元素及びシリコン元素を含む膜から構成されたゲート絶縁膜を形成する工程と、

前記ゲート絶縁膜上にゲート電極を形成する工程と、

前記半導体基板のゲート電極に被覆されている領域を挟んで対向するように、この半導体基板の表面領域にソース領域及びドレイン領域を形成する工程とを具備したことを特徴とする半導体装置の製造方法。

#### 【発明の詳細な説明】

#### 【0001】

#### 【発明の属する技術分野】

本発明は、半導体装置の製造方法に関し、とくにMOSFETに高誘電率ゲート絶縁膜を用いる際の形成方法に関するものである。

#### 【0002】

#### 【従来の技術】

図8は、半導体基板に形成されたnMOSFETの概略斜視図である。図に示すように、例えば、p型シリコン半導体基板100には、n型ソース・ドレイン領域101、102が形成され、さらに、シリコン半導体基板100上にこのソ

ース・ドレイン領域を跨ぐようにゲート絶縁膜103及びゲート電極104が順次形成されている。ゲート電極材料には、通常多結晶Si、多結晶SiGe、金属などが用いられる。

MOSFETの微細化に伴いゲート絶縁膜の薄膜化が要求されている。従来用いられているシリコン酸化膜やシリコン酸窒化膜ではダイレクトトンネル電流の増加により膜厚約2nm程度で薄膜化の限界に達してしまう。そこで、比誘電率がシリコン酸化膜よりも大きく、且つ結晶化温度が高いために従来のポリSiもしくはポリSiGeゲート電極プロセスとの整合性を有するメタル・シリケート膜のゲート絶縁膜への適用が提案されている。また、ゲート電極からのボロン拡散を抑制するために窒素を含むオキシ窒化メタルシリコン膜も提案されている（特許文献1）が界面特性は十分なものが得られていない。さらにメタル窒化物が導電性のためリーク電流や電荷トラップ密度も高い。またゲート電極界面でのメタルシリサイドの形成により絶縁特性を損なうことがある。

#### 【0003】

##### 【特許文献1】

特開2000-49349（図8及び10欄）

#### 【0004】

##### 【発明が解決しようとする課題】

前述のオキシ窒化メタルシリコン膜、例えば、Hf（Zr）SiONゲート絶縁膜を形成するプロセスに於いて、窒素プラズマを用いてHf（Zr）SiO膜を窒化すると、シリコン半導体基板表面の窒化が進行し、界面準位密度が増加し性能が劣化してしまう問題があった。シリコン基板表面の窒化を抑制するためにHf（Zr）SiO膜を堆積する前にシリコン基板表面にシリコン酸化膜層もしくはシリコン酸窒化膜層を形成しておく方法が提案されているが、その酸化もしくは酸窒化層とHf（Zr）SiO膜との界面に固定電荷が発生して性能が劣化してしまっていた。

本発明は、このような事情によりなされたものであって、シリコン半導体基板表面と高誘電率材料であるメタルとシリコンとを含む酸窒化膜との間に酸化もしくは酸窒化膜を介在させる構造を界面準位密度増加の抑制と固定電荷発生の抑制

とを両立するように形成する半導体装置の製造方法を提供する。

#### 【0005】

##### 【課題を解決するための手段】

MOSFETの微細化に伴うゲート絶縁膜の薄膜化は、従来から用いられているシリコン酸化膜及びシリコン酸窒化膜の物理的限界にさしかかっており、それらよりも比誘電率の高い高誘電率材料のゲート絶縁膜への導入が不可欠と言われている。しかし、それら高誘電率材料は耐熱性が低いことが問題であり、耐熱性向上のため窒素を添加する方法が提案されている。窒素を導入する具体的な方法は、プラズマや $\text{NH}_3$ を用いた高誘電率膜の窒化が一般的であるが、前述のように、チャネルとなるシリコン半導体基板表面も同時に窒化されて界面準位が増加し移動度が劣化してしまうという不具合が明らかになった。シリコン半導体基板の窒化を抑制するためには、高誘電率材料とシリコン基板の界面に1nm以下のシリコン酸化膜もしくは酸窒化膜を形成しておくことが有効であるが、その場合にはその界面層と高誘電率材料との界面に電荷が発生し、それが原因で移動度の改善が実現できない。

#### 【0006】

本発明ではシリコン半導体基板表面にメタル元素とシリコン元素とを含む高誘電率材料を堆積した後に、高誘電率材料越しに界面酸化を行い、その後高誘電率材料を窒化することを特徴としている。高誘電率材料越しに界面酸化を行うことにより界面準位密度増加の抑制と固定電荷発生を抑制を両立しながら高誘電率材料を窒化することが可能となる。

すなわち、本発明の半導体装置の製造方法は、半導体基板上にメタル元素及びシリコン元素を含む膜を形成する工程と、前記半導体基板を酸化剤を含む雰囲気中に曝すことにより、前記半導体基板と前記メタル元素及びシリコン元素を含む膜の界面にシリコン酸化膜を形成する工程と、前記シリコン酸化膜を形成してから、前記メタル元素及びシリコン元素を含む膜を窒化する工程とを具備したことを特徴としている。

#### 【0007】

前記メタル元素は、Zr、Hf、Al、Laのうちの少なくとも1種を用いる

ようにしても良い。前記メタル元素及びシリコン元素を含む膜は、CVD法を用いて形成しても良い。前記メタル元素及びシリコン元素を含む膜は、酸素を含むようにしても良い。前記メタル元素及びシリコン元素を含む膜は、窒素を含むようにしても良い。前記メタル元素及びシリコン元素を含む膜は、アルコキシドを用いて形成しても良い。前記アルコキシドは、TEOS及びハフニウム・テトラ・ターシャリー・ブトキサイドであってもよい。前記メタル元素及びシリコン元素を含む膜は、テトラキシ・ジエチル・アミド・ハフニウム及びテトラキシ・ジメチル・アミド・シリコンを用いて形成しても良い。この材料を用いると、堆積したシリケート中に数%程度の窒素を含むので、後の窒化工程における窒素導入が少なく済む。

#### 【0008】

前記酸化剤を含む雰囲気曝す工程は、活性な酸化種を用いても良い。前記活性な酸化種を有する雰囲気は、オゾンあるいは酸素ラジカルでもよい。前記酸化剤を含む雰囲気は、低温プラズマ酸化雰囲気であっても良い。この低温プラズマ酸化によって、シリケート膜の相分離・結晶化を起こさずに、高品質の極薄シリコン酸化膜の形成が可能になる。前記酸化剤を含む雰囲気は、800℃以下の減圧O<sub>2</sub>酸化雰囲気であってもよい。前記酸化剤を含む雰囲気は、800℃以下の減圧H<sub>2</sub>O酸化雰囲気であってもよい。前記酸化剤を含む雰囲気は、800℃以下の減圧N<sub>2</sub>O酸化雰囲気であってもよい。前記酸化剤を含む雰囲気は、酸化剤分圧0.1 Torr以下であってもよい。この条件により、高品質の薄膜が形成される。前記メタル元素及びシリコン元素を含む膜を窒化する工程は、窒素ラジカルを用いて窒化しても良い。前記メタル元素及びシリコン元素を含む膜を窒化する工程は、窒素プラズマを用いて窒化するようにしても良い。前記メタル元素及びシリコン元素を含む膜を窒化する工程は、NH<sub>3</sub>窒化法を用いて窒化するようにしても良い。

#### 【0009】

また、本発明の半導体装置の製造方法は、素子分離領域が形成されている半導体基板上にメタル元素及びシリコン元素を含む膜を形成する工程と、前記半導体基板を酸化剤を含む雰囲気曝すことにより、前記半導体基板と前記メタル元素



及びシリコン元素を含む膜の界面にシリコン酸化膜を形成する工程と、前記メタル元素及びシリコン元素を含む膜を窒化して、前記シリコン酸化膜と前記窒化されたメタル元素及びシリコン元素を含む膜とから構成されたゲート絶縁膜を形成する工程と、前記ゲート絶縁膜上にゲート電極を形成する工程と、前記半導体基板のゲート電極に被覆されている領域を挟んで対向するようにこの半導体基板の表面領域にソース／ドレイン領域を形成する工程とを具備したことを特徴としている。

#### 【0010】

##### 【発明の実施の形態】

以下、図面を参照して発明の実施の形態を説明する。

本発明は、シリコン半導体基板表面にメタル元素とシリコン元素とを含む高誘電率材料を堆積した後に、高誘電率材料越しに界面酸化を行い、その後高誘電率材料を窒化することを特徴としており、窒化された高誘電率材料は、半導体基板において、とくにMOSFETのゲート絶縁膜に用いられる。第1の実施例は、高誘電率絶縁膜を窒化により形成する方法について説明し、第2の実施例は、窒化された高誘電率絶縁膜をゲート電極とゲート絶縁膜とからなるゲート構造に用いたnMOSFETの製造工程を説明する。

#### 【0011】

まず、図1を参照して第1の実施例を説明する。

図1は、半導体基板上の高誘電率絶縁膜を形成する工程断面図である。シリコン半導体基板1に従来方法を用いてSTI(Shallow Trench Isolation)などの素子分離領域を形成する(図示しない)。露出したシリコン半導体基板1の表面上に、TEOS(テトラ・エトキシ・シラン)と、HTB(ハフニウム・テトラ・ターシャリー・ブトキサイド)を原料とするMOCVD(Metal Organic Chemical Vapor Deposition)法を用いて、Hfシリケート膜2を約3nm程度堆積する(図1(a))。

#### 【0012】

次に、ヒータ温度250℃、圧力50mTorrの条件でArとO<sub>2</sub>の混合ガスによるマイクロ波励起プラズマに40秒間曝すことにより、Hfシリケート膜

2 とシリコン半導体基板 1 表面の界面に新たにシリコン酸化膜 3 を 0.6 nm 程度形成する (図 1 (b))。次に、ヒータ温度 400℃、圧力 500 mTorr において Ar と N<sub>2</sub> の混合ガスによるマイクロ波励起プラズマに 360 秒間曝すことにより、Hf シリケート膜 2 に約 20% の窒素を導入し、HfSiON 膜 4 を形成する (図 1 (c))。引き続き、半導体基板 1 に対して、1000℃、10 秒の減圧酸化雰囲気での熱処理を行ってゲート電極となるポリ SiGe 膜 5 を LPCVD (Low Pressure CVD) 法により膜厚 150 nm 程度堆積する (図 1 (d))。

以下、トランジスタを形成するには、以下、ゲート電極パターンニング、不純物イオン注入及び活性化アニール、ソース・ドレイン上への Ni シリサイド層形成、PMD 膜堆積、コンタクト開口、配線形成等、通常の製造方法により MOS 型トランジスタを形成する (図示せず)。

#### 【0013】

この様にして形成された MOS 型トランジスタは、窒素導入により耐熱性が向上し、1000℃以上の熱工程を有する従来のトランジスタ形成工程を経ても、同じ電気的膜厚を有するシリコン酸化膜と比較して 3 桁以上もゲートリーク電流が少なく、且つチャネル移動度がシリコン酸化膜の場合の 85% 以上という実用上問題のない値が得られ、LSI の低消費電力化と高性能化を両立させることが可能となった。

#### 【0014】

この実施例では、Hf シリケート膜を用いているが、本発明においては、Zr シリケート膜、Al シリケート膜、La シリケート膜等を用いても同様の効果が得られる。また、この実施例では TEOS、HTB 等のアルコキシドを原料に MOCVD 法によりシリケート膜を堆積しているが、テトラキシ・ジエチル・アミド・ハフニウムとテトラキシ・ジメチル・アミド・シリコンの様な他の原料を用いてシリケート膜を堆積してもよい。その場合は、堆積したシリケート中に数% 程度の窒素をあらかじめ含んでおり、後の窒素導入が少なくても、必要な耐熱性は確保出来る様になる。この実施例は、内部酸化によるシリコン酸化膜形成を活性な酸化種を有する低温プラズマ酸化で行い、シリケート膜の相分離・結晶化を

起こさずに、高品質の極薄シリコン酸化膜層の形成が可能となった。

#### 【0015】

同様の内部酸化は、800℃以下の減圧O<sub>2</sub>酸化、減圧H<sub>2</sub>O酸化、減圧N<sub>2</sub>O酸化等でも実現可能であるが、薄膜形成のためには、例えば、酸化剤分圧0.1 Torr以下程度の条件で実施することが望ましい。また、この実施例で行ったプラズマ窒化は絶縁膜の表面側から高濃度に窒素を導入するのに有効な方法であるが、シリコン酸化膜に対して窒素を導入する場合に比べて高誘電率材料に導入した場合の窒素の分布はよりブロードとなることが判った。したがって、NH<sub>3</sub>窒化法の様に膜中にブロードに窒素を導入する窒化方法を用いた場合にもこの実施例と同様の効果が得られる。

#### 【0016】

次に、図2乃至図7を参照して第2の実施例を説明する。この実施例では、本発明に係るゲート電極とゲート絶縁膜とからなるゲート構造を用いたnMOSFETの製造工程を説明する。

図2乃至図7は、nMOSFETの製造工程を説明する工程断面図である。まず、p型シリコン半導体基板21にSTIなどの素子分離領域22を埋め込み形成する。その後、露出したシリコン半導体基板21の表面にボロンなどのチャネルイオン注入を行う(図2(a))。次に、シリコン半導体基板21上にゲート絶縁膜20及びゲート電極23を積層する。ゲート絶縁膜20は、第1の実施例で示すものと同様に本発明の製造方法により形成される。即ち、シリコン半導体基板21の表面にメタル元素とシリコン元素とを含む高誘電率材料を堆積した後、高誘電率材料越しに界面酸化を行い、その後高誘電率材料を窒化する方法で形成される。第1の実施例では、窒化された高誘電率材料は、HfSiON膜4であり、ゲート絶縁膜は、HfSiON膜4と、HfSiON膜/半導体基板の界面に形成されたシリコン酸化膜3とから構成されている(図1参照)。

#### 【0017】

この実施例ではゲート絶縁膜20は、第1の実施例と同じ材料を用いる。ゲート電極23は、例えば、ポリシリコン(poly-Si)膜から構成されている。第1の実施例のようにポリSiGe膜やその他、金属材料などを用いても良い。

。その後、ゲート電極 23 の上にフォトレジスト 24 を塗布し、これをゲート電極形状にパターニングする（図 2（b））。次に、パターニングされたフォトレジスト 24 をマスクにしてゲート絶縁膜 20 及びその上のゲート電極 23 をエッチングしてゲート構造を形成する。その後、このゲート電極 23 をマスクにし、シリコン半導体基板 21 の表面領域に砒素などをイオン注入して n 型ソース・ドレインコンタクト領域 25 を形成する（図 3（a））。次に、シリコン半導体基板 21 の全面にゲート電極を被覆するように CVD 法によりシリコン酸化膜（ $\text{SiO}_2$ ）26 を堆積させる（図 3（b））。

#### 【0018】

次に、シリコン酸化膜 26 を、例えば、RIE (Reactive Ion Etching) などによりエッチバックを行って、ゲート電極 23 の側面に側壁絶縁膜 27 を形成する（図 4（a））。その後、この側壁絶縁膜 27 をマスクにし、シリコン半導体基板 21 の表面領域にリンもしくは砒素などをイオン注入して n 型ソース・ドレイン高濃度領域 28 を形成する（図 4（b））。次に、シリコン半導体基板 21 の表面にコバルト（Co）やニッケル（Ni）などの金属膜をスパッタリング法などにより堆積させる。なお、ソース・ドレインコンタクト領域 25 とソース・ドレイン高濃度領域 28 とから n 型ソース・ドレイン領域 29 が構成される（図 5（a））。次に、シリコン半導体基板 21 を加熱処理する。シリコン半導体基板 21 を熱処理することにより、その表面及びゲート電極 23 表面に堆積した金属膜 30 は  $\text{CoSi}_2$  や  $\text{NiSi}$  などの金属シリサイド膜 31 に変わる。その後、側壁絶縁膜 27 及び素子分離領域 22 に堆積している金属膜 30 はシリサイドに変化しないで除去される（図 5（b））。

#### 【0019】

次に、CVD 法などにより BPSG などのシリコン酸化膜 32 からなる層間絶縁膜をシリコン半導体基板 21 上に堆積させる（図 6（a））。そして、RIE 法などによりシリコン酸化膜 32 をエッチングしてソース／ドレイン領域 29 上及びゲート電極 23 上の金属シリサイド膜 31 を露出するコンタクト孔 33 を形成する（図 6（b））。次に、シリコン酸化膜 32 上に銅やアルミニウムなどの金属膜を形成し、これをパターニングして、ソース／ドレイン領域 29 上及びゲ

ート電極 23 上の金属シリサイド膜 31 とコンタクト孔 33 を介して電氣的に接続された複数の配線 34 を形成する (図 7)。さらに、図示はしないがパッシベーション膜などを半導体基板上に形成してトランジスタを完成させる。

#### 【0020】

この様にして形成された MOS 型トランジスタは、窒素導入により耐熱性が向上し、1000℃以上の熱工程を経ても、同じ電氣的膜厚を有するシリコン酸化膜と比較して 3 桁以上もゲートリーク電流が少なく、且つチャネル移動度がシリコン酸化膜の場合の 85% 以上という実用上問題のない値が得られ、LSI の低消費電力化と高性能化を両立させることが可能となる。また、この実施例では、高誘電率材料として Hf シリケイト膜を用いているが、Zr シリケイト膜、Al シリケイト膜、La シリケイト膜等を用いても同様の効果が得られる。

以上、本発明の実施の形態を説明した実施例は例示であって制限的なものではない。本発明は、発明の要旨を逸脱しない範囲内においてあらゆる変更を行うことが可能である。

#### 【0021】

##### 【発明の効果】

本発明は、以上の構成により、窒素導入に伴う界面準位の増加が抑制され、且つ絶縁膜中の固定電荷の発生が抑制されるため、高性能で低消費電力の半導体装置を実現させることが出来る。

##### 【図面の簡単な説明】

##### 【図 1】

本発明の第 1 の実施例の半導体装置の製造方法を示す工程断面図。

##### 【図 2】

本発明の第 2 の実施例の半導体装置の製造方法を示す工程断面図。

##### 【図 3】

本発明の第 2 の実施例の半導体装置の製造方法を示す工程断面図。

##### 【図 4】

本発明の第 2 の実施例の半導体装置の製造方法を示す工程断面図。

##### 【図 5】

本発明の第2の実施例の半導体装置の製造方法を示す工程断面図。

【図6】

本発明の第2の実施例の半導体装置の製造方法を示す工程断面図。

【図7】

本発明の第2の実施例の半導体装置の製造方法を示す工程断面図。

【図8】

MOS型トランジスタの概略的構造を示す斜視図。

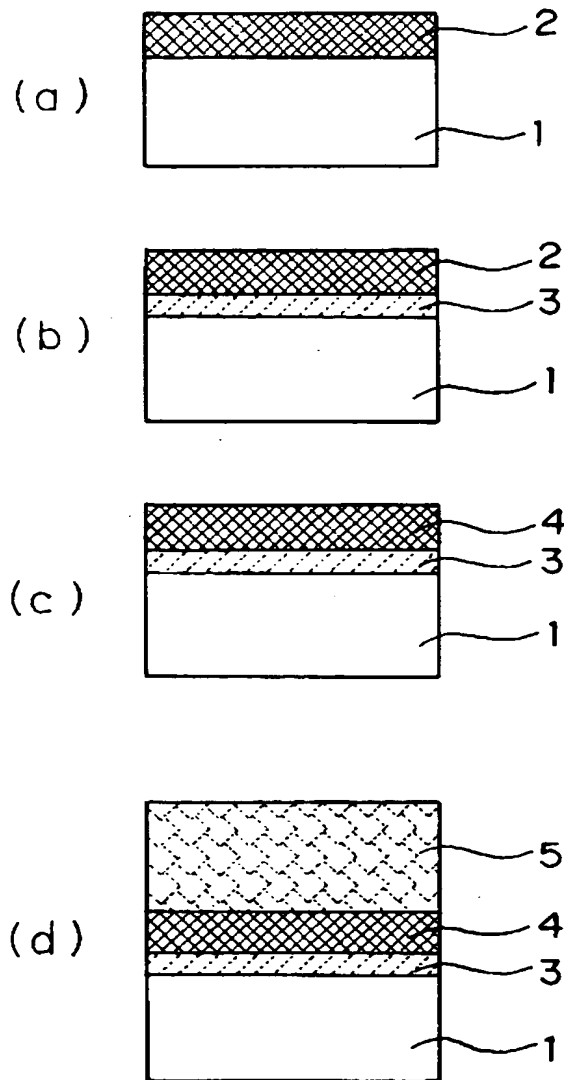
【符号の説明】

- 1、21、100・・・シリコン半導体基板
- 2・・・Hfシリケート膜
- 3・・・シリコン酸化膜
- 4・・・HfSiON膜
- 5・・・ポリSiGe膜
- 20、103・・・ゲート絶縁膜
- 22・・・素子分離領域（STI）
- 23、104・・・ゲート電極
- 24・・・フォトレジスト
- 25・・・ソース／ドレインコンタクト領域
- 26、32・・・シリコン酸化膜
- 27・・・側壁絶縁膜
- 28・・・ソース／ドレイン高濃度領域
- 29・・・ソース／ドレイン領域
- 30・・・金属膜
- 31・・・金属シリサイド膜
- 33・・・コンタクト孔
- 34・・・配線
- 101・・・ソース領域
- 102・・・ドレイン領域

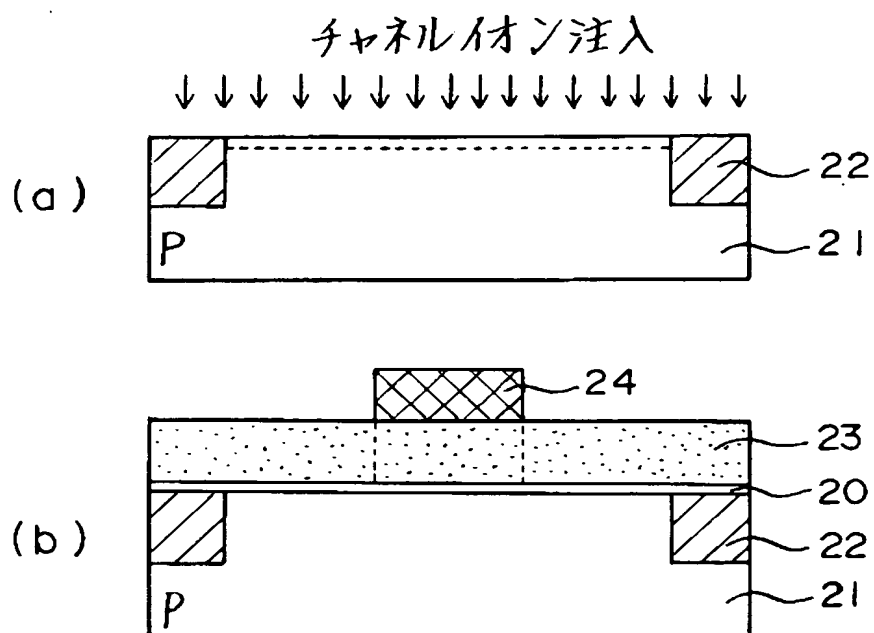
【書類名】

図面

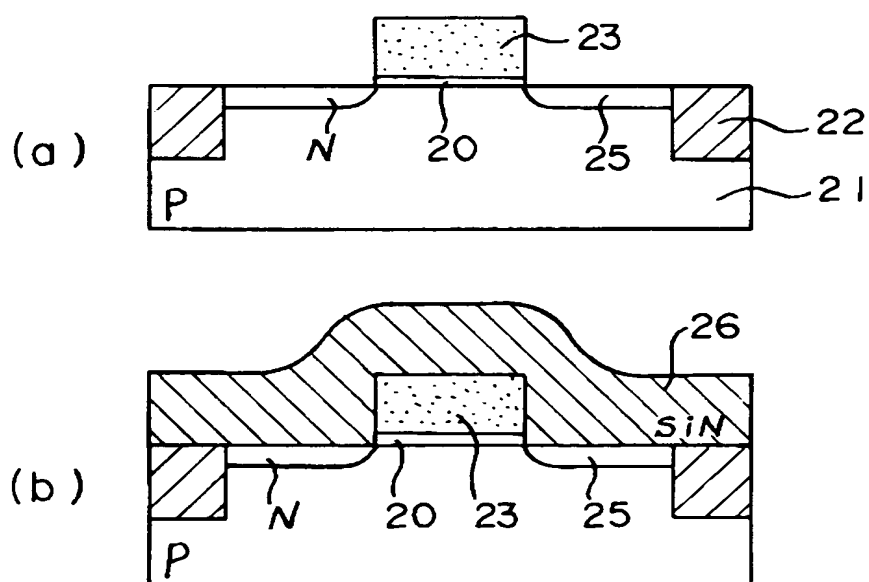
【図 1】



【図 2】

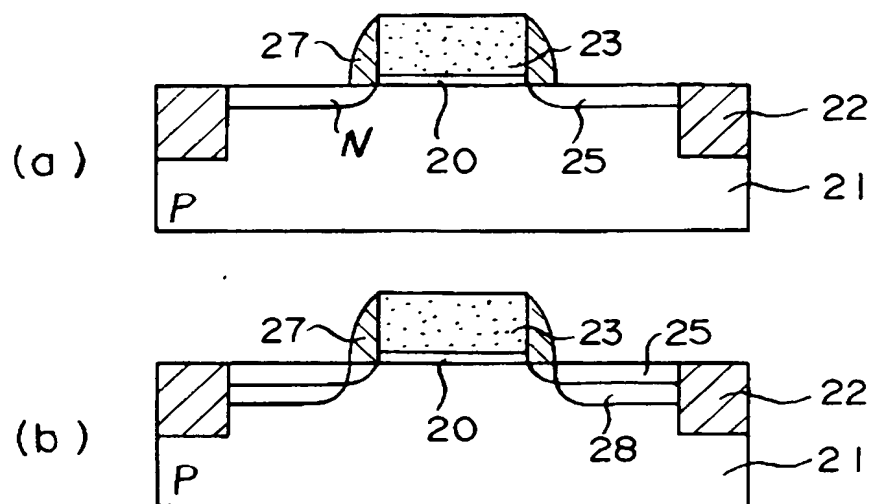


【図 3】

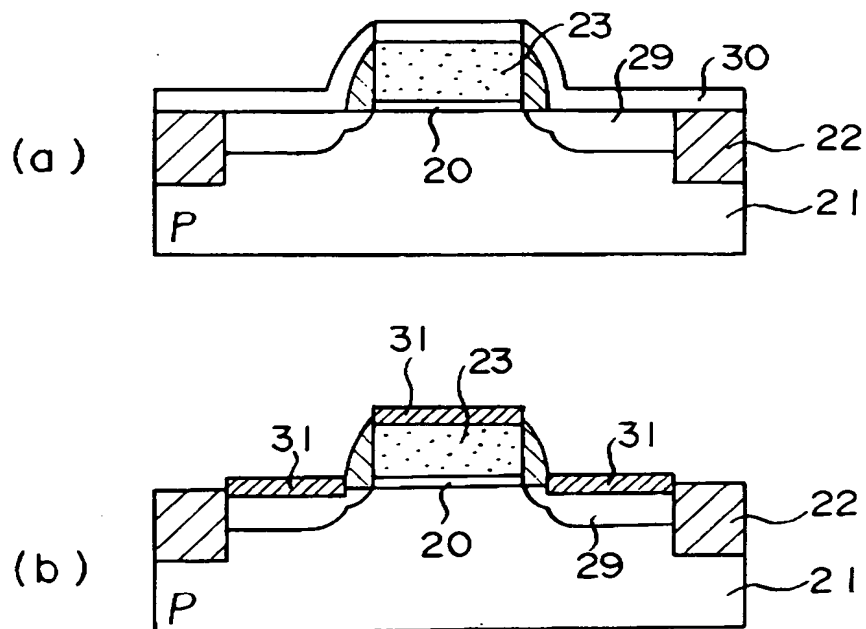




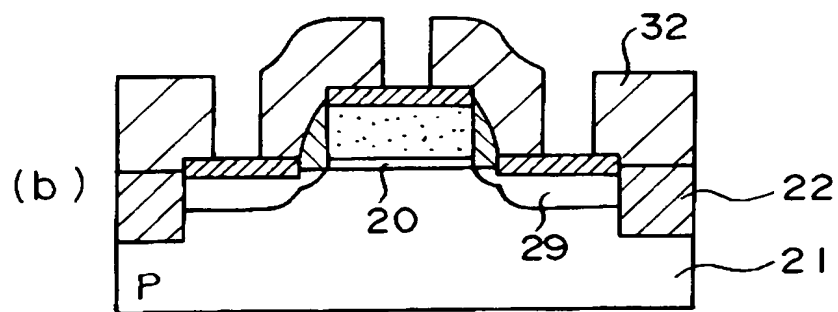
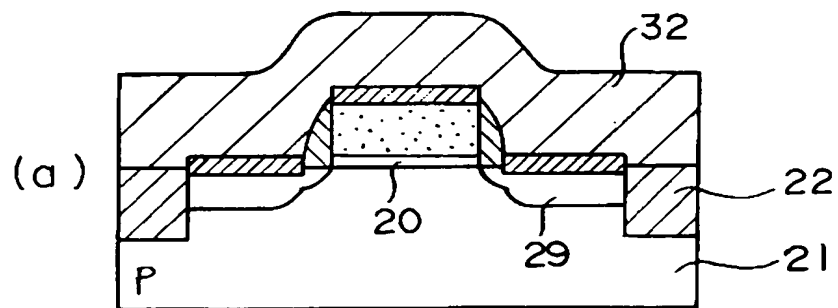
【図4】



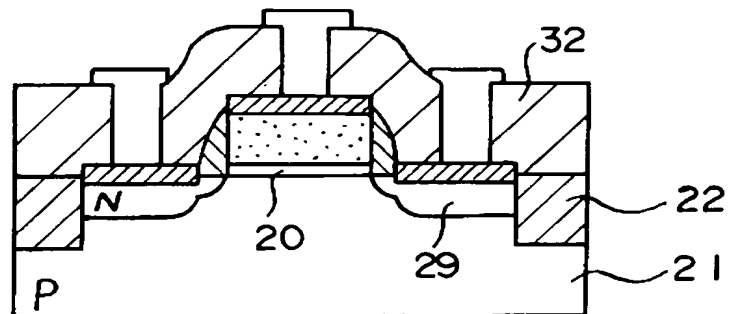
【図5】



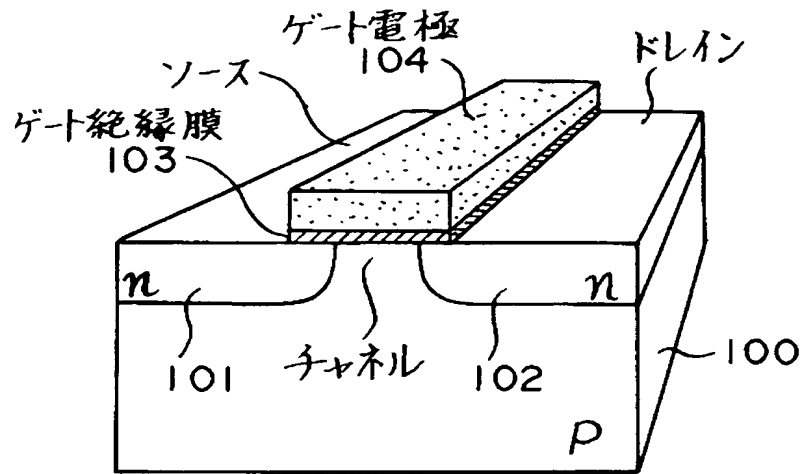
【図 6】



【図 7】



【図 8】



【書類名】 要約書

【要約】

【課題】 シリコン半導体基板表面と高誘電率材料であるメタルとシリコンとを含む酸窒化膜との間に酸化もしくは酸窒化膜を介在させる構造を界面準位密度増加の抑制と固定電荷発生の抑制とを両立するように形成する。

【解決手段】 シリコン半導体基板の不必要な窒化を抑制するためには、高誘電率材料の膜とシリコン基板の界面に 1 nm 以下のシリコン酸化膜又は酸窒化膜を形成しておくのが有効であるが、その界面層と高誘電率材料の膜との界面に電荷が発生し、この電荷により移動度の改善が実現できない。シリコン半導体基板 1 表面にメタル元素とシリコン元素とを含む高誘電率材料の膜 2 を堆積した後に、高誘電率材料の膜越しに界面酸化 3 を行い、その後高誘電率材料の膜を窒化 4 する。高誘電率材料の膜越しの界面酸化により界面準位密度増加の抑制と固定電荷発生の抑制を両立しながら高誘電率材料の膜の窒化が可能となる。

【選択図】 図 1

特願 2 0 0 3 - 0 6 7 6 2 1

出 願 人 履 歴 情 報

識別番号

[ 0 0 0 0 0 3 0 7 8 ]

1. 変更年月日

2 0 0 1 年 7 月 2 日

[変更理由]

住所変更

住 所

東京都港区芝浦一丁目 1 番 1 号

氏 名

株式会社東芝